

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-021054

(43)Date of publication of application : 29.01.1991

(51)Int.Cl.

H01L 27/06
H01L 21/28
H01L 21/331
H01L 29/73

(21)Application number : 01-156434

(71)Applicant : SONY CORP

(22)Date of filing : 19.06.1989

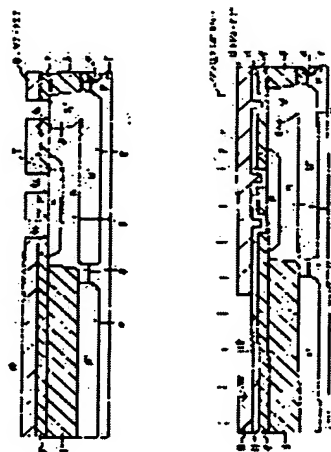
(72)Inventor : HOZUMI HIROKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable forming a transistor and other elements simultaneously and to simplify the process by selectively implanting impurities by ion implantation into the contact sections and separated other elements region of a semiconductor layer to form said transistor and other elements.

CONSTITUTION: Windows 9e, 9b, and 9c corresponding to ohmic contact sections are made open at a time; therefore, only one resist mask is required for forming said windows 9e, 9b, and 9c, simplifying the process and enabling forming a transistor and other elements simultaneously. Ions are implanted not into the elements one by one but into the whole surface in which the windows 9e, 9b, and 9c corresponding to ohmic contact sections and a region 11R for other elements are made; therefore, less frequent ion implantations and mask alignments in said ion implantations than conventional are enough, simplifying the ion implantation process. Thereby a transistor and other elements can be formed easily at the same time and the manufacture process can be simplified.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection].

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-21054

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月29日

H 01 L 27/06
21/28
21/331
29/73

3 0 1 A

7738-5F

8728-5F
8225-5F

H 01 L 27/06
29/72

1 0 1 D

審査請求 未請求 請求項の数 1 (全 17 頁)

⑮ 発明の名称 半導体装置の製法

⑯ 特 願 平1-156434

⑰ 出 願 平1(1989)6月19日

⑱ 発 明 者 保 積 宏 紀 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 半導体装置の製法

特許請求の範囲

オーミックコンタクト部を一度に開口し、該開口を含む全面に半導体層を形成した後、該半導体層の上記コンタクト部及び分離された他素子領域にそれぞれイオン注入により不純物を選択的に打ち分けてトランジスタと他素子を形成する半導体装置の製法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製法に関し、特に、トランジスタと他素子からなる複合デバイスを作成する場合に用いて好適なものである。

〔発明の概要〕

本発明は、半導体装置の製法において、オーミックコンタクト部を一度に開口し、該開口を含む全面に半導体層を形成したのち、該半導体層の上記コンタクト部及び分離された他素子領域にそれ

ぞれイオン注入により不純物を選択的に打ち分けてトランジスタと他素子とを形成することにより、トランジスタと他素子の同時形成を可能にすると共に、工程の簡略化をも図ることができるようにしたものである。

〔従来の技術〕

バイポーラトランジスタの製法としては、埋込層及びN型エピタキシャル層の形成後、素子間分離領域に囲まれた活性領域に第1及び第2導電型の不純物を選択的に二重拡散してベース領域とエミッタ領域を形成するという方法が一般的である。

近年、プロセス技術の発展の過程として素子の高集積化及び高速化が要求され、その要求に対して多結晶シリコンによるウォッシュエミッタ(以後、単にポリウォッシュエミッタと記す)構造が用いられるようになった。このポリウォッシュエミッタ構造によれば、自己整合によるエミッタ領域の形成が可能になる。これは、エミッタ開口部の縮小化(これはセルサイズの縮小化に

つながる)、ベース拡がり抵抗 $R_{bb'}$ の低減化等に寄与し、素子の高集積化及び高速化が図れる。

具体的に第3図に基いてポリウオッシュトエミッタ構造を有するバイポーラトランジスタの製法を説明すると、まず第3図Aに示すように、P型の半導体基板(31)にN型の埋込み層(32)及びN型のエピタキシャル層(33)を形成したのち、P型の素子間分離領域(34)と薄い熱酸化物層による素子間分離領域(35)を形成する。その後、素子間分離領域(34)及び(35)に囲まれた活性領域(36)に選択的にP型の不純物をイオン注入してベース領域(37)を形成すると共に後記コレクタコンタクト部が形成される部分にN型の不純物をイオン注入して埋込み層(32)まで達するコレクタ取出し領域(38)を形成する。その後、活性領域(36)を含む全面に SiO_2 膜(39)を例えばCVD法等で形成する。

次に、第3図Bに示すようにレジストマスク(40)を介して SiO_2 膜(39)を選択エッチングして活性領域(36)のエミッタ領域(エミッタコンタクト部を兼ねる)及びコレクタコンタクト部に対応す

る部分に窓(39e)及び(39c)を開口する。

次に、第3図Cに示すように、 SiO_2 膜(39)上のレジストマスク(40)を除去したのち、窓(39e)及び(39c)を含む SiO_2 膜(39)上に多結晶シリコン層(41)を形成する。その後、多結晶シリコン層(41)に対しN型の不純物(例えば As^+)をイオン注入したのち、熱処理を加えて多結晶シリコン層(41)からの不純物(N型)拡散により、エミッタ領域(エミッタコンタクト部を兼ねる)(42e)及びコレクタコンタクト部(破線で示す)(42c)を自己整合で形成する。

次に、第3図Dに示すように、多結晶シリコン層(41)をパターニングする。

次に、第3図Eに示すように、多結晶シリコン層(41)及び SiO_2 膜(39)上にレジストマスク(43)を形成したのち、該レジストマスク(43)を介して SiO_2 膜(39)を選択エッチングしてベースコンタクト部に対応する部分に窓(39b)を開口する。

次に、第3図Fに示すように、レジスト膜(43)を除去したのち、全面に Al 層を形成し、更に該

3

Al 層をパターニングすることによって、多結晶シリコン層(41)を介してエミッタ領域(42e)に接続するエミッタ電極(44e)と、ベース領域(37)に接続するベース電極(44b)と、多結晶シリコン層(41)を介してコレクタコンタクト部(42c)に接続するコレクタ電極(44c)をそれぞれ形成して目的のバイポーラトランジスタを得る。

〔発明が解決しようとする課題〕

しかしながら、従来のバイポーラトランジスタの製法によれば、エミッタ領域(42e)及びコレクタコンタクト部(42c)を臨む窓(39e)及び(39c)の開口とベース領域(37)を臨む窓(39b)の開口とが別工程であるため、上記窓開けのためにレジストマスクが2枚(即ち、第3図においてはレジストマスク(40)及び(43))必要となり、特にトランジスタ、抵抗及び容量等が混載された複合デバイスを形成する場合、素子形成毎に窓開け用のレジストマスクが必要となり、窓開け工程が複雑化する。また、イオン注入についても一般に、不純物

4

の導電型毎にレジストマスクが必要であるため、素子の形成毎に上記窓開け用レジストマスクに加えて多数のレジストマスクが必要となり、複合デバイスの製造が非常に複雑化しひいては困難になるという不都合がある。

また、最近では民生用リニア分野(アナログIC、アナログLSI等)の高速化、高周波、高帯域化に伴い、汎用リニアプロセスにもポリウオッシュトエミッタタイプを応用したものが出てきている。この際、雑音や周波数特性の改善のためにフィルター用としてMISキャパシタを導入したいが、上記の如く素子毎に別工程で複合デバイスを形成しているため工程が複雑化し、更に他素子形成の際の熱処理等の影響で容量のコントロール精度が劣化するなどの問題があるため、その製造(ポリウオッシュトエミッタ構造を有するトランジスタへのMISキャパシタの同時形成)が困難である。

本発明は、このような点に鑑み成されたもので、その目的とするところは、トランジスタと他素子

5

6

(別タイプのトランジスタ、抵抗、容量)の同時形成が容易に実現できると共に、製造工程の簡略化をも図ることができる半導体装置の製法を提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置の製法は、オーミックコンタクト部〔(16e)、(16b)及び(16c)並びに(16g)〕に対応する窓〔(9e)、(9b)及び(9c)並びに(9g)〕を一度に開口し、これら窓〔(9e)、(9b)及び(9c)並びに(9g)〕を含む全面に半導体層(多結晶シリコン層)(11)を形成したのち、半導体層(11)のオーミックコンタクト部〔(16e)、(16b)及び(16c)並びに(16g)〕と対応する部分〔(11e)、(11b)及び(11c)並びに(11g)〕及び分離された他素子領域(11R)にそれぞれイオン注入により不純物を選択的に打ち分けてトランジスタ(Tr)と他素子〔(R)並びに(C)〕を形成する。

〔作用〕

7

が従来よりも少なく済み、それに伴って、イオン注入におけるマスク合せの回数も少なくなるため、イオン注入工程が非常に簡略化される。

〔実施例〕

以下、第1図及び第2図を参照しながら本発明の実施例を説明する。

第1図は、第1実施例に係る半導体装置の製法、特にポリウオッシュエミッタ構造を有するNP型バイポーラトランジスタと多結晶シリコンによる抵抗を同時に形成する方法を示す工程図である。以下、順を追ってその工程を説明する。

まず、第1図Aに示すように、P型の半導体基板(例えば、シリコン基板)(1)にN型の埋込み層(2)及びN型のエピタキシャル層(3)を形成したのち、P型の素子間分離領域(4)と厚い熱酸化物層(例えばSiO₂層)による素子間分離領域(5)を形成する。その後、素子間分離領域(4)及び(5)に囲まれた活性領域(6)に選択的にP型の不純物をイオン注入してベース領域(7)を形成すると共に、後述するコレク

9

上述の本発明の製法によれば、オーミックコンタクト部〔(16e)、(16b)及び(16c)並びに(16g)〕に対応する窓〔(9e)、(9b)及び(9c)並びに(9g)〕を一度に開口するようにしたため、これら窓〔(9e)、(9b)及び(9c)並びに(9g)〕の形成時に必要となるレジストマスクは1枚(即ち、レジストマスク(10))のみで済み、工程を簡略化することができると共に、トランジスタと他素子(別タイプのトランジスタ、抵抗、容量)の同時形成が可能となる。特に、MISキャパシタを同時形成する場合、他素子の形成に伴う熱処理等の影響を受けずに形成することが可能となり、容量のコントロール精度を向上させることができる。その結果、素子の高速化、高周波、高帯域化を実現させることができる。

また、イオン注入も各素子毎に行なうのではなく、予めオーミックコンタクト部〔(16e)、(16b)及び(16c)並びに(16g)〕に対応する窓〔(9e)、(9b)及び(9c)並びに(9g)〕と他素子領域(11R)が形成された全面に対して行なうため、イオン注入回数

8

タコンタクト部が形成される部分にN型の不純物をイオン注入して埋込み層(2)まで達するN型のコレクタ取出し領域(8)を形成する。その後、活性領域(6)を含む全面にSiO₂膜(9)を例えばCVD(化学気相成長)法等で形成する。

次に、第1図Bに示すように、SiO₂膜(9)上にレジストマスク(10)を形成したのち、レジストマスク(10)を介してSiO₂膜(9)を選択エッチングして活性領域(6a)のエミッタ領域(エミッタコンタクト部を兼ねる)、ベースコンタクト部及びコレクタコンタクト部に対応する部分に窓(9e)、(9b)及び(9c)を一度に開口する。

次に、第1図Cに示すように、SiO₂膜(9)上のレジストマスク(10)を除去したのち、窓(9e)、(9b)及び(9c)を含むSiO₂膜(9)上に多結晶シリコン層(11)を例えばCVD法等で形成する。

次に、第1図Dに示すように、多結晶シリコン層(11)上にレジストマスク(12)を形成したのち、レジストマスク(12)の窓(12R)を通じてP型の不純物、例えばボロン系の不純物(例えばB⁺、BF₃⁺)

10

を多結晶シリコン層(11)の抵抗となる部分(11R)にイオン注入する。

次に、第1図Eに示すように、多結晶シリコン層(11)上のレジストマスク(12)を除去したのち、再び多結晶シリコン層(11)上にレジストマスク(13)を形成する。その後、レジストマスク(13)の窓(13t)及び(13b)を通じてP型の不純物(例えば B^+ , BF_3^+)を多結晶シリコン層(11)の抵抗コンタクト部分(11t)とベースコンタクト部に対応する部分(後にベース電極の一部になる)(11b)にイオン注入する。

次に、第1図Fに示すように、多結晶シリコン層(11)上のレジストマスク(13)を除去したのち、再び多結晶シリコン層(11)上にレジストマスク(14)を形成する。その後、レジストマスク(14)の窓(14e)及び(14c)を通じてN型の不純物(例えば As^+)を多結晶シリコン層(11)のエミッタ領域に対応する部分(後にエミッタ電極の一部になる)(11e)とコレクタコンタクト部に対応する部分(後にコレクタ電極の一部になる)(11c)にイオン

注入する。

次に、第1図Gに示すように、多結晶シリコン層(11)上のレジストマスク(14)を除去したのち、多結晶シリコン層(11)上に SiO_2 膜(15)を例えばCVD法等で形成する。この SiO_2 膜(15)は次の熱処理時、多結晶シリコン層(11)からの不純物飛散ひいては異なる導電型の不純物同士が混り合うのを防止する所謂キャップ SiO_2 膜として機能する。その後、熱処理を加える。このとき、多結晶シリコン層(11)のエミッタ領域に対応する部分(11e)及びコレクタコンタクト部に対応する部分(11c)からN型の不純物がそれぞれ下層に存するベース領域(7)及びコレクタ取出し領域(8)中に拡散してそれぞれエミッタ領域(16e)及びコレクタコンタクト部(破線で示す)(16c)を形成する。また、それと同時に、多結晶シリコン層(11)のベースコンタクト部に対応する部分(11b)からP型の不純物がベース領域(7)に拡散してベースコンタクト部(破線で示す)(16b)を形成する。

次に、第1図Hに示すように、多結晶シリコン

1 1

層(11)上のキャップ SiO_2 膜(15)を全面除去したのち、多結晶シリコン層(11)をパターンニングする。このとき、抵抗本体(11r)、抵抗コンタクト部分(11t)、エミッタ領域(16e)に対応する部分(11e)、ベースコンタクト部(16b)に対応する部分(11b)及びコレクタコンタクト部(16c)に対応する部分(11c)が残るようにする。

次に、第1図Iに示すように、全面に比較的膜厚の薄い Si_3N_4 膜(17)を例えば減圧CVD法等で形成したのち、全面に比較的膜厚の厚い SiO_2 膜(18)を形成する。その後、 SiO_2 膜(18)を抵抗本体(11r)上及び抵抗コンタクト部分(11t)上の一部を残すようにパターンニングする。このとき、 Si_3N_4 膜(17)がエッチングストップとして機能するため、下層の SiO_2 膜(9)はエッチング除去されない。

次に、第1図Jに示すように、 Si_3N_4 膜(17)を SiO_2 膜(18)の下層に存する部分を残して例えばホットリン酸にてエッチング除去する。その後、全面にAl層を形成したのち、パターンニングして抵抗本体の一対の電極(19t)、エミッタ電極(19e)、

1 2

ベース電極(19b)及びコレクタ電極(19c)を形成することによって、ポリウォッシュトエミッタ構造を有するバイポーラトランジスタ(Tr)と抵抗(R)とが混載された複合デバイスを得る。

次に、上記複合デバイスとMISキャパシタを同時形成するようにした第2実施例を第2図の工程図に基いて説明する。尚、上記第1実施例と対応するものについては同符号を記す。

まず、第2図Aに示すように、P型のシリコン基板(1)にN型の埋込み層(2)、N型のエピタキシャル層(3)、素子間分離領域(4)、(5)、P型のベース領域(7)及びN型のコレクタ取出し領域(8)を形成したのち、活性領域(6a)、(6b)を含む全面に SiO_2 膜(9)を例えばCVD法等で形成する。

次に、第2図Bに示すように、 SiO_2 膜(9)上にレジストマスク(10)を形成したのち、レジストマスク(10)を介して SiO_2 膜(9)を選択エッチングして、活性領域(6a)のエミッタ領域(エミッタコンタクト部を兼ねる)、ベースコンタクト部及びコレクタコンタクト部並びに活性領域(6b)のMISキャ

1 3

1 4

パシタの一方の電極取出し領域に対応する部分に窓(9e)、(9b)及び(9c)並びに(9g)を一度に開口する。

次に、第2図Cに示すように、 SiO_2 膜(9)上のレジストマスク(10)を除去したのち、窓(9e)、(9b)及び(9c)並びに(9g)を含む SiO_2 膜(9)上に多結晶シリコン層(11)を例えばCVD法等で形成する。

次に、第2図Dに示すように、多結晶シリコン層(11)上にレジストマスク(12)を形成したのち、レジストマスク(12)の窓(12R)を通じてP型の不純物(例えば B^+ 、 BF_3^+)を多結晶シリコン層(11)の抵抗となる部分(11R)にイオン注入する。

次に、第2図Eに示すように、多結晶シリコン層(11)上のレジストマスク(12)を除去したのち、再び多結晶シリコン層(11)上にレジストマスク(13)を形成する。その後、レジストマスク(13)の窓(13t)及び(13b)を通じてP型の不純物(例えば B^+ 、 BF_3^+)を多結晶シリコン層(11)の抵抗コンタクト部分(11t)とベースコンタクト部に対応する部分(11b)にイオン注入する。

15

厚の薄い Si_3N_4 膜(17)を例えば減圧のCVD法等で形成したのち、該 Si_3N_4 膜(17)上に比較的膜厚の厚い SiO_2 膜(15)を例えばCVD法等で形成する。この SiO_2 膜(15)は、上記第1実施例と同様にキャップ SiO_2 膜として機能する。その後、熱処理を加える。このとき、多結晶シリコン層(11)のエミッタ領域に対応する部分(11e)、コレクタコンタクト部に対応する部分(11c)及びMISキャパシタの一方の電極取出し領域に対応する部分(11g)からN型の不純物がそれぞれ下層に存するベース領域(7)、コレクタ取出し領域(8)及び活性領域(6b)中に拡散してそれぞれエミッタ領域(エミッタコンタクト部を兼ねる)(16e)、コレクタコンタクト部(破線で示す)(16c)及びMISキャパシタの一方の電極取出し領域(16g)を形成する。また、それと同時に多結晶シリコン層(11)のベースコンタクト部に対応する部分(11b)からP型の不純物がベース領域(7)中に拡散してベースコンタクト部(破線で示す)(16b)を形成する。

次に、第2図Iに示すように、 SiO_2 膜(15)を抵

次に、第1図Fに示すように、多結晶シリコン層(11)上のレジストマスク(13)を除去したのち、再び多結晶シリコン層(11)上にレジストマスク(14)を形成する。その後、レジストマスク(14)の窓(14e)、(14c)及び(14g)を通じてN型の不純物(例えば As^+)を多結晶シリコン層(11)のエミッタ領域に対応する部分(11e)、コレクタコンタクト部に対応する部分(11c)及びMISキャパシタの一方の電極取出し領域に対応する部分(11g)にイオン注入する。

次に、第2図Gに示すように、多結晶シリコン層(11)上のレジストマスク(14)を除去したのち、多結晶シリコン層(11)をパターニングする。このとき、抵抗本体(11r)、抵抗コンタクト部分(11t)エミッタ領域に対応する部分(11e)、ベースコンタクト部に対応する部分(11b)、コレクタコンタクト部に対応する部分(11c)及びMISキャパシタの一方の電極取出し領域に対応する部分(11g)が残るようにする。

次に、第2図Hに示すように、全面に比較的膜

16

抗本体(11r)上及び抵抗コンタクト部分(11t)上の一部を残すようにパターニングする。このとき、 Si_3N_4 膜(17)がエッチングストッパとして機能するため、下層の SiO_2 膜(9)はエッチング除去されない。

次に、第2図Jに示すように、 Si_3N_4 膜(17)を SiO_2 膜(15)の下層に存する部分を残して例えばホットリン酸にてエッチング除去する。

次に、第2図Kに示すように、全面にレジストマスク(20)を形成したのち、レジストマスク(20)を介して SiO_2 膜(9)を選択エッチングして活性領域(6b)に通じるMISキャパシタの容量(面積)を決定する窓(9m)を開口する。

次に、第2図Lに示すように、全面に上記 Si_3N_4 膜(17)よりも比較的膜厚の厚い Si_3N_4 膜(21)を例えば減圧のCVD法等で形成したのち、該 Si_3N_4 膜(21)の窓(9m)に対応する部分を残すようにパターニングする。この Si_3N_4 膜(21)はMISキャパシタの誘電体膜となる。

その後、第2図Mに示すように、全面にAl層

17

18

を形成したのちパターンニングして、抵抗本体(11r)の一方の電極(19t)、エミッタ電極(19e)、ベース電極(19b)、コレクタ電極(19c)、MISキャパシタの一方の電極(19g)及びMISキャパシタの他方の電極(19m)を形成することによって、ポリウオッシュトエミッタ構造を有するバイポーラトランジスタ(Tr)と抵抗(R)とMISキャパシタ(C)とが混載された複合デバイスを得る。

上述の如く本例によれば、トランジスタのオーミックコンタクト部、即ちエミッタ領域(16e)、ベースコンタクト部(16b)及びコレクタコンタクト部(16c)に対応する窓(9e)、(9b)及び(9c)並びにMISキャパシタのオーミックコンタクト部、即ちMISキャパシタの一方の電極取出し領域(16g)に対応する窓(9g)を一度に形成し(第1図B及び第2図B参照)、これらオーミックコンタクト部に対応する窓[(9e)、(9b)及び(9c)並びに(9g)]を含む全面に多結晶シリコン層(11)を形成したのち、多結晶シリコン層(11)の上記オーミックコンタクト部に対応する部分[(11e)、(11b)及

び(11c)並びに(11g)]と分離された他素子領域(11R)にそれぞれイオン注入により、P型及びN型の不純物を選択的に打ち分けるようにしたので、バイポーラトランジスタ(Tr)と共に抵抗(R)及びMISキャパシタ(C)を同時に形成することができると共に上記オーミックコンタクト部に対応する窓[(9e)、(9b)及び(9c)並びに(9g)]の形成時に使用されるレジストマスクが1枚(即ち、レジストマスク(10))で済むため、オーミックコンタクト部の形成工程が簡略化できる。特に、MISキャパシタ(C)を同時に形成する場合、第2図Lに示すように、MISキャパシタ(C)を最後に形成することが可能となり、即ち他の熱処理(第2図H参照)等の影響を受けずに(即ち、誘電体膜である Si_3N_4 膜(21)の誘電率が影響されずに)形成することが可能となり、容量のコントロール精度が高いMISキャパシタを得ることができる。

また、上記第2実施例のように、イオン注入工程(第2図D～F参照)後、すぐに多結晶シリコン層(11)をパターンニングすれば後に形成するキャ

19

ップ SiO_2 膜(15)を全面除去することなくそのままパターンニングによって抵抗コンタクト部(11t)の層間絶縁膜として利用できるため、第1実施例のように一担キャップ SiO_2 膜(15)を形成して熱処理を加えたのち、キャップ SiO_2 膜(15)を全面除去し、再び SiO_2 膜(18)を形成及びパターンニングして抵抗コンタクト部(11t)の層間絶縁膜を形成するという二重手間を省くことができる。

また、イオン注入工程についても、予め素子に関する全てのオーミックコンタクト部に対応する窓及び素子領域が形成された基板に対してイオン注入を行なうため、全体として導電型毎のイオン注入、即ち少なくとも2回(P型1回とN型1回)、多くて4回(P型2回とN型2回)のイオン注入だけで済み、イオン注入工程を簡略化することができる。本例では、3回のイオン注入(P型2回とN型1回)で済んでいる。

また、抵抗本体(11r)、抵抗コンタクト部(11t)及びMISキャパシタの一方の電極取出し領域(16g)に対応する部分(11g)に使用される多結晶

20

シリコン層とバイポーラトランジスタ(Tr)の拡散領域(16e)、(16b)及び(16c)へのコンタクトとして用いられる多結晶シリコン層とを共通の多結晶シリコン層(11)で形成することができるため、各コンタクト部分の形成が1回の多結晶シリコン層(11)の形成と1回のパターンニングだけで済み、各コンタクト部分の形成工程を簡略化することができる。

上記第1実施例ではNPN型バイポーラトランジスタ(Tr)と抵抗(R)を、第2実施例ではNPN型バイポーラトランジスタ(Tr)、抵抗(R)及びMISキャパシタ(C)を同時に形成させた例を示したが、上記NPN型バイポーラトランジスタ(Tr)に替えてPNP型バイポーラトランジスタを用いてもよく、MOS型トランジスタを用いてもよい。また更に、Bi-MOSTランジスタやBi-CMOSTランジスタと抵抗及びMISキャパシタを同時に形成することも可能である。

(発明の効果)

21

22

本発明に係る半導体装置の製法は、オーミックコンタクト部に対応する窓を一度に開口し、該開口を含む全面に半導体層を形成したのち、該半導体層の上記コンタクト部に対応する部分及び分離された他素子領域にそれぞれイオン注入により不純物を選択的に打ち分けてトランジスタと他素子とを形成するようにしたので、トランジスタと他素子（例えば抵抗や容量等）を同時に形成することができると共に、製造工程の簡略化をも図ることができる。

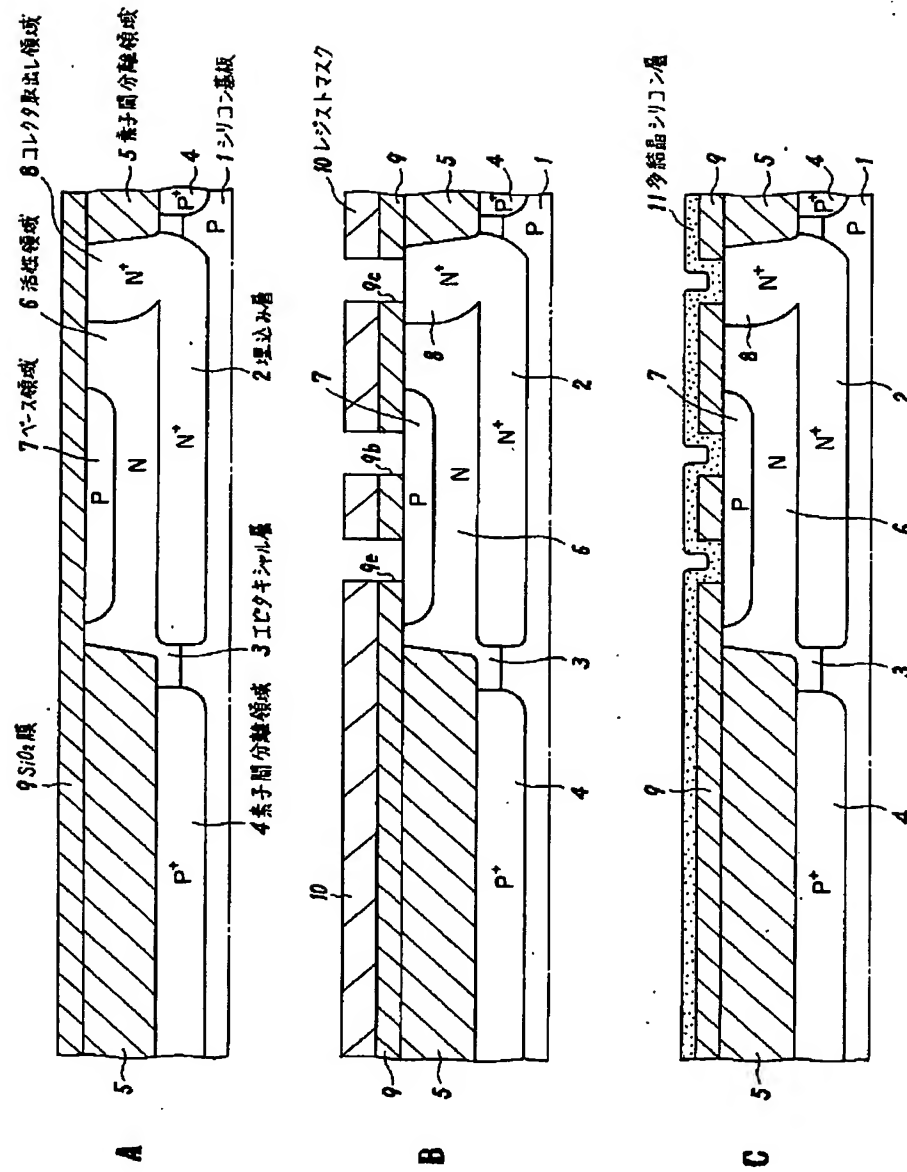
図面の簡単な説明

第1図は第1実施例に係る複合デバイスの製法を示す工程図、第2図は第2実施例に係る複合デバイスの製法を示す工程図、第3図は従来例に係るバイポーラトランジスタの製法を示す工程図である。

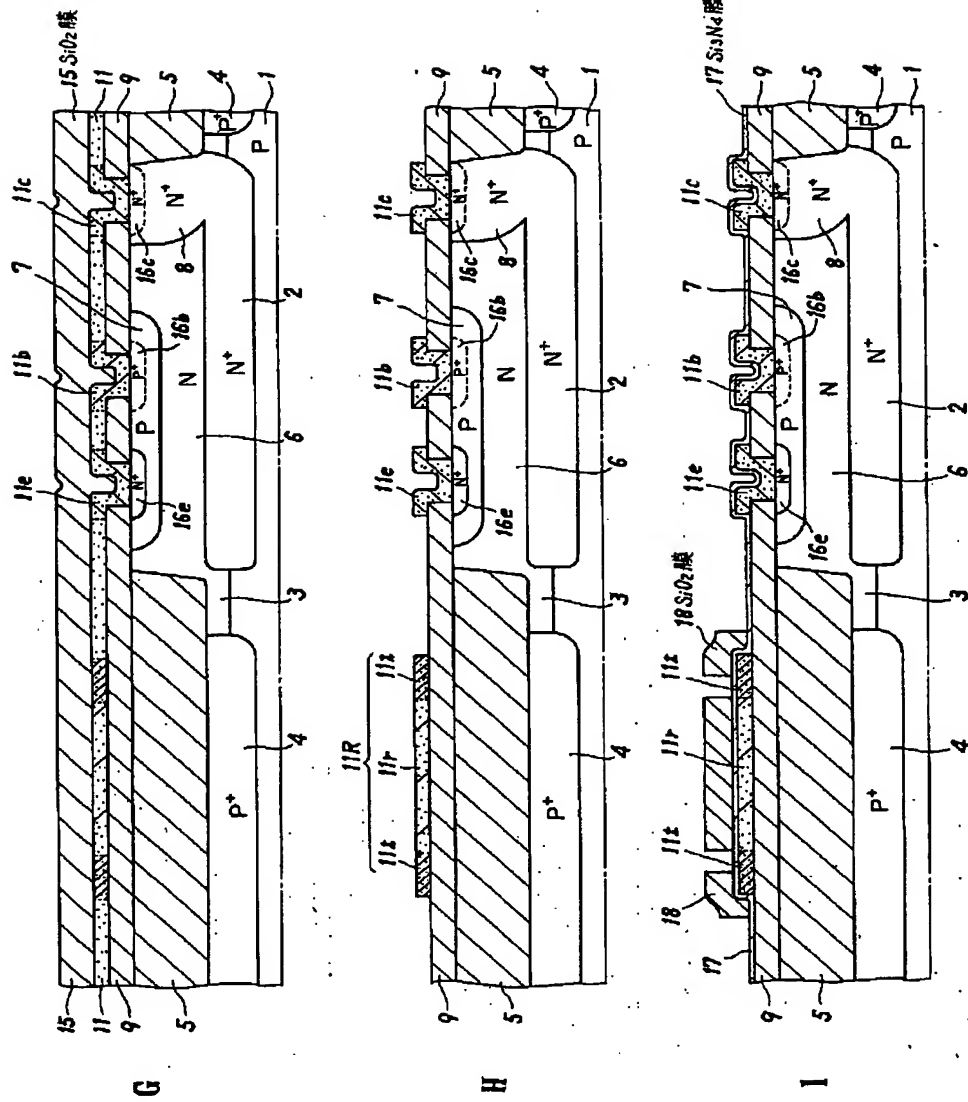
(Tr)はトランジスタ、(R)は抵抗、(C)はMISキャパシタ、(1)はシリコン基板、(2)は埋込み層、(3)はエピタキシャル層、(4)は素子間分離領域(P型)、(5)は素子間分離領域(SiO_2)、(6)、(6a)、

(6b)は活性領域、(7)はベース領域、(8)はコレクタ取出し領域、(9)は SiO_2 膜、(11e)はエミッタ領域に対応する部分、(11b)はベースコンタクト部に対応する部分、(11c)はコレクタコンタクト部に対応する部分、(11t)は抵抗コンタクト部分、(11r)は抵抗本体、(11g)はMISキャパシタの一方の電極取出し領域に対応する部分、(15)は SiO_2 膜、(16e)はエミッタ領域、(16b)はベースコンタクト部、(16c)はコレクタコンタクト部、(16g)はMISキャパシタの一方の電極取出し領域、(17)は Si_3N_4 膜、(18)は SiO_2 膜、(19e)はエミッタ電極、(19b)はベース電極、(19c)はコレクタ電極、(19t)は抵抗本体の一対の電極、(19g)はMISキャパシタの一方の電極、(19a)はMISキャパシタの他方の電極、(21)は Si_3N_4 膜である。

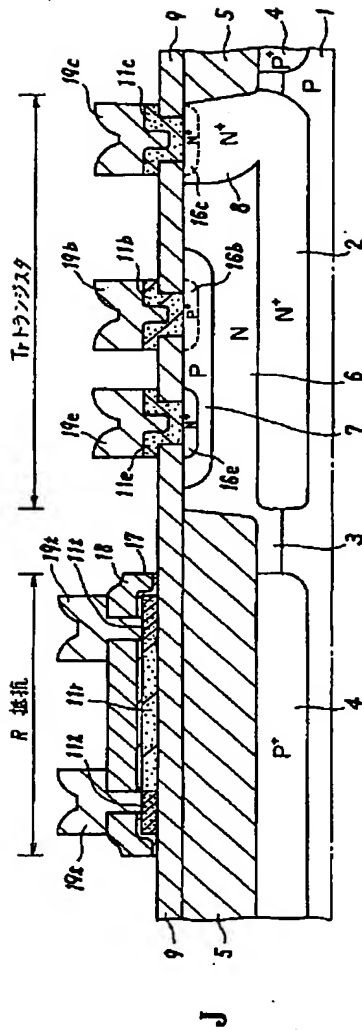
代理人 松隈秀盛



第 1 図 (Xen)

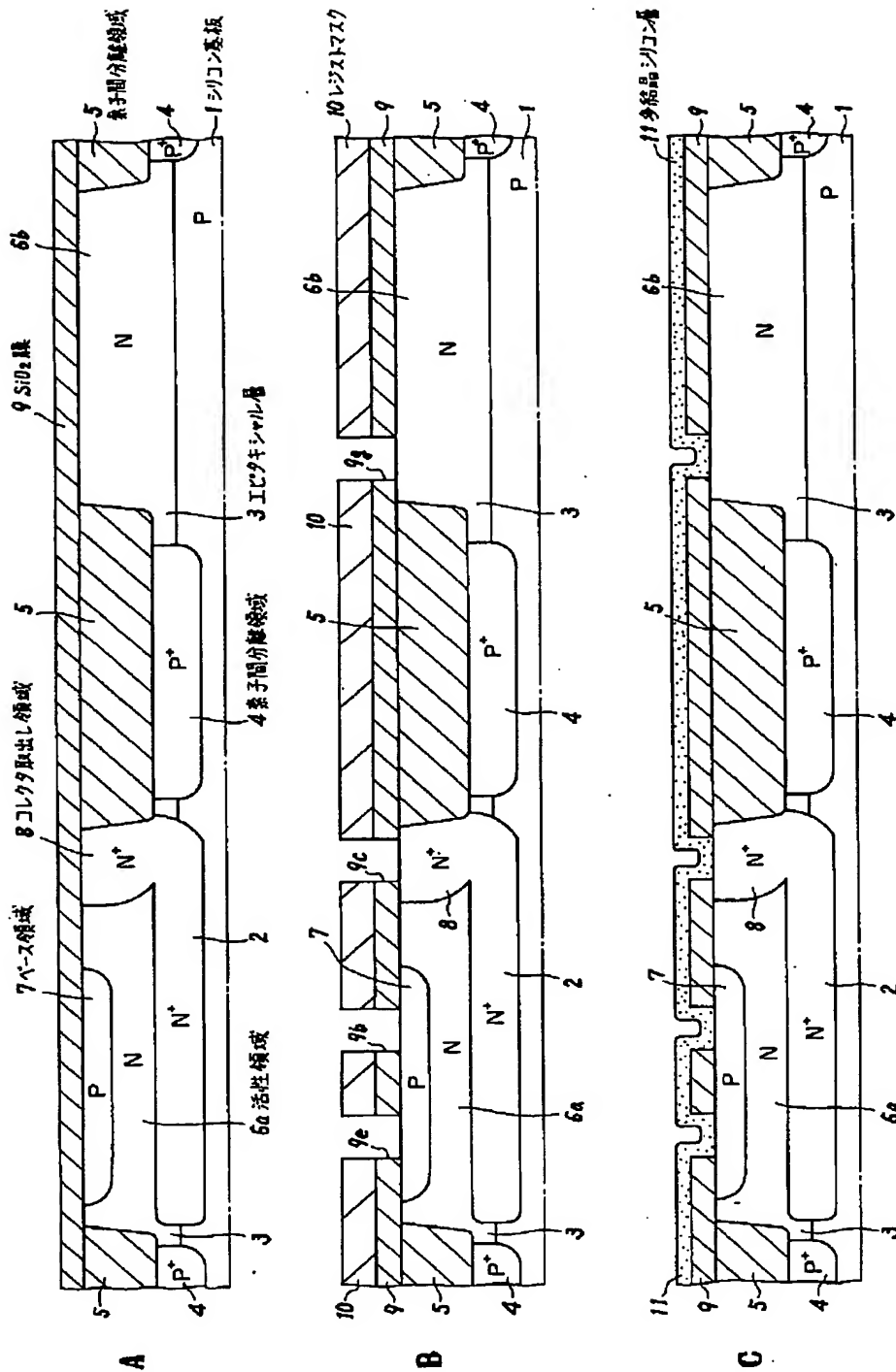


第 1 図 (Xn3)

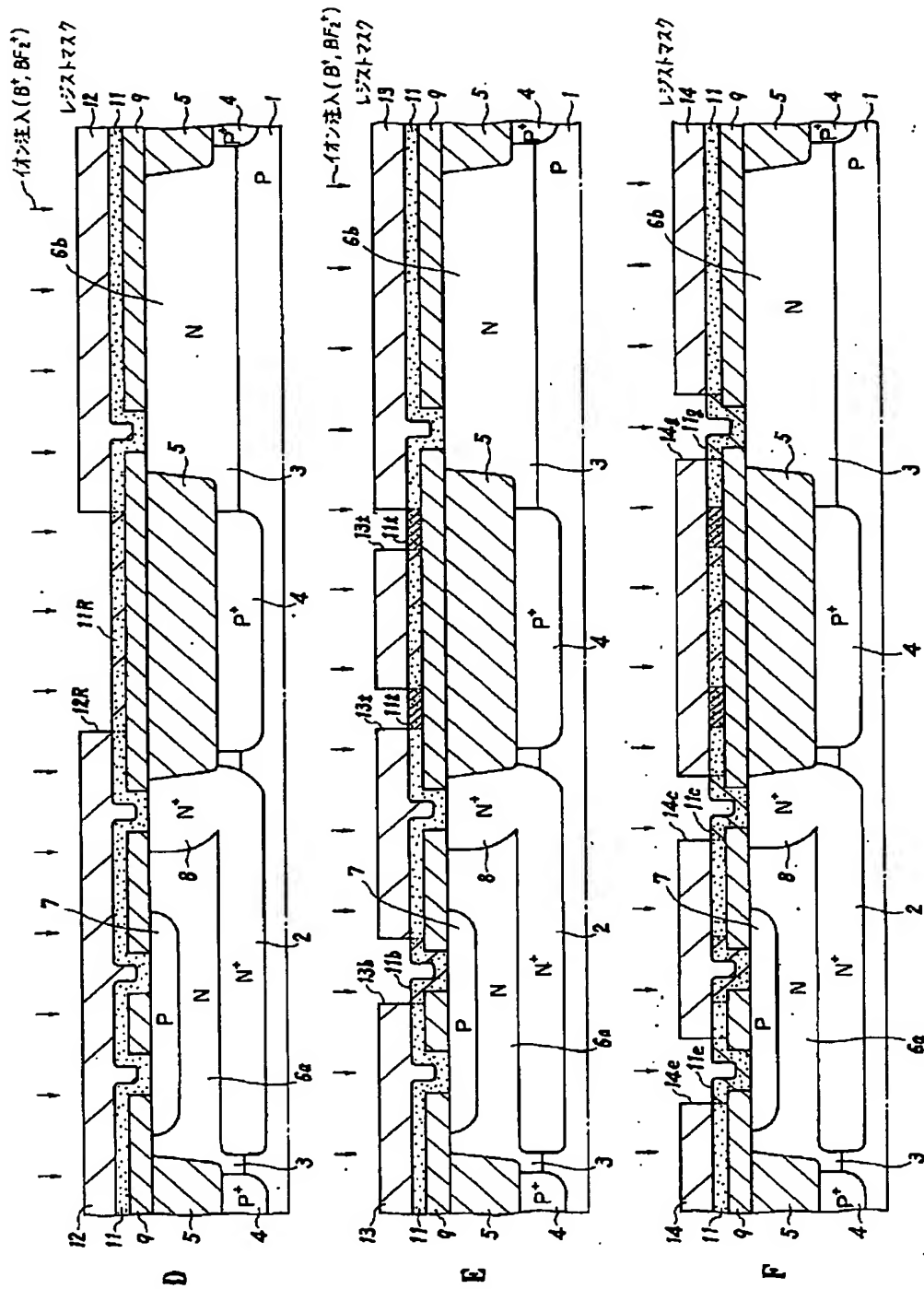


- | | |
|---|---|
| 1.....シリコン基板 | 11b.....ベースコンタクト部に対応する部分 |
| 2.....埋込み層 | 11c.....コレクタコンタクト部に対応する部分 |
| 3.....I ₂ C ₂ キヤメル層 | 16e.....Iミッタ領域 |
| 4.....素子間分離領域(P型) | 16b.....ベースコンタクト部 |
| 5.....素子間分離領域(SiO ₂) | 16c.....コレクタコンタクト部 |
| 6.....活性領域 | 17.....Si ₃ N ₄ 膜 |
| 7.....ベース領域 | 18.....SiO ₂ 膜 |
| 8.....コレクタ取出し領域 | 19a.....抵抗本体の一部分の電極 |
| 9.....SiO ₂ 膜 | 19e.....Iミッタ電極 |
| 11a.....抵抗本体 | 19b.....ベース電極 |
| 11d.....抵抗コンタクト部分 | 19c.....コレクタ電極 |
| 11e.....Iミッタコンタクト部に対応する部分 | |

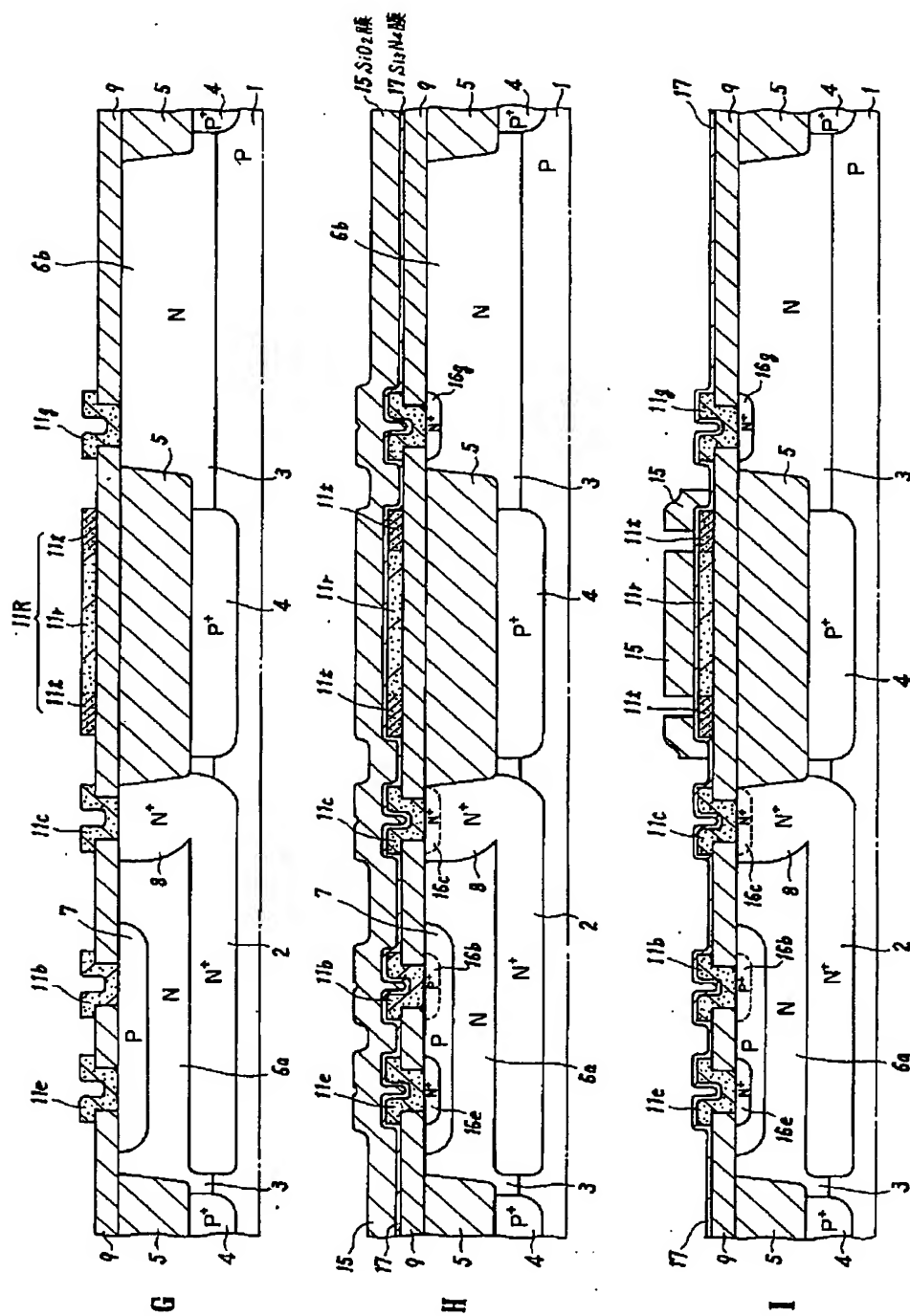
第1実施例を示す工程図
第1図(4の4)



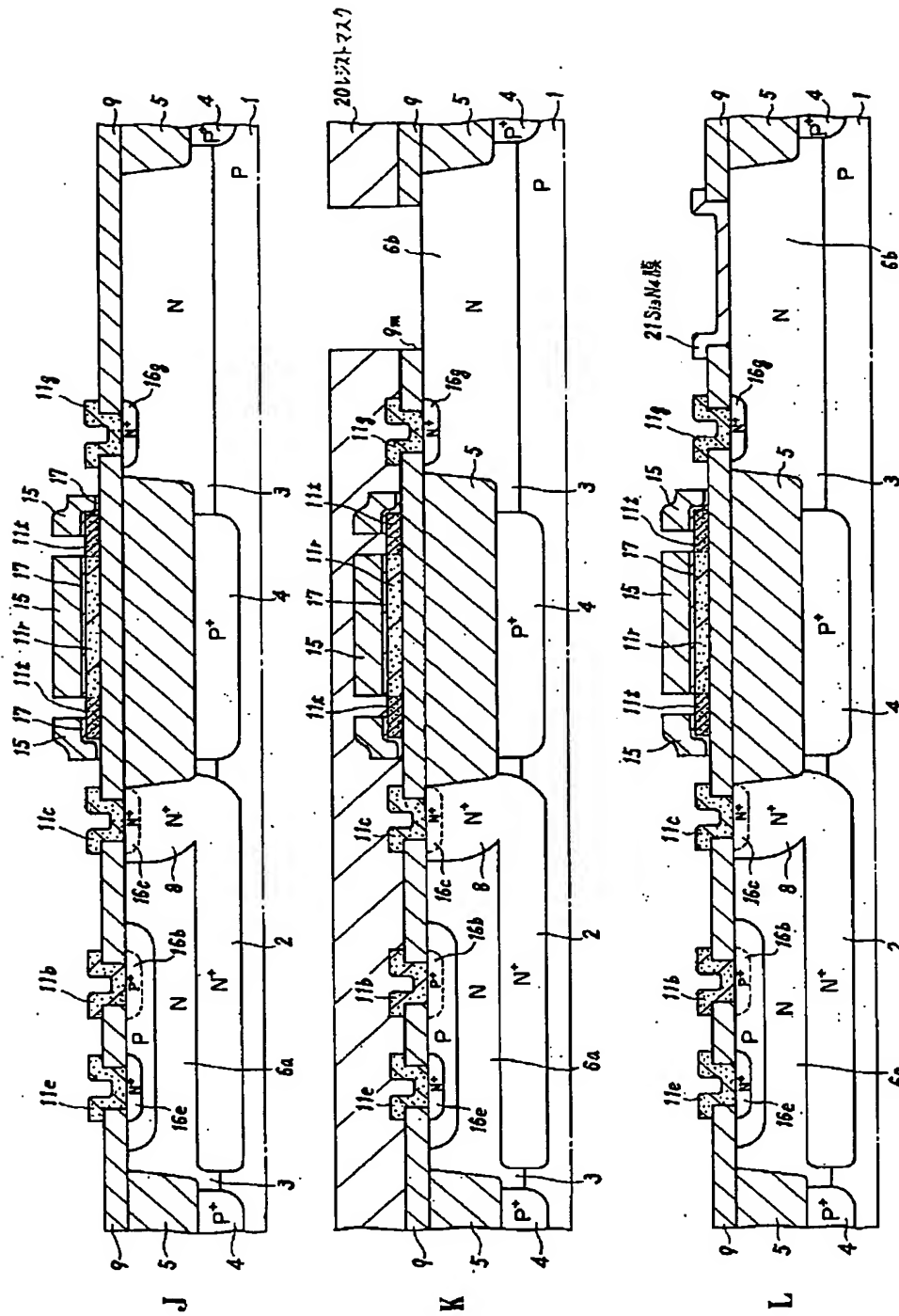
第 2 図 (その 1)

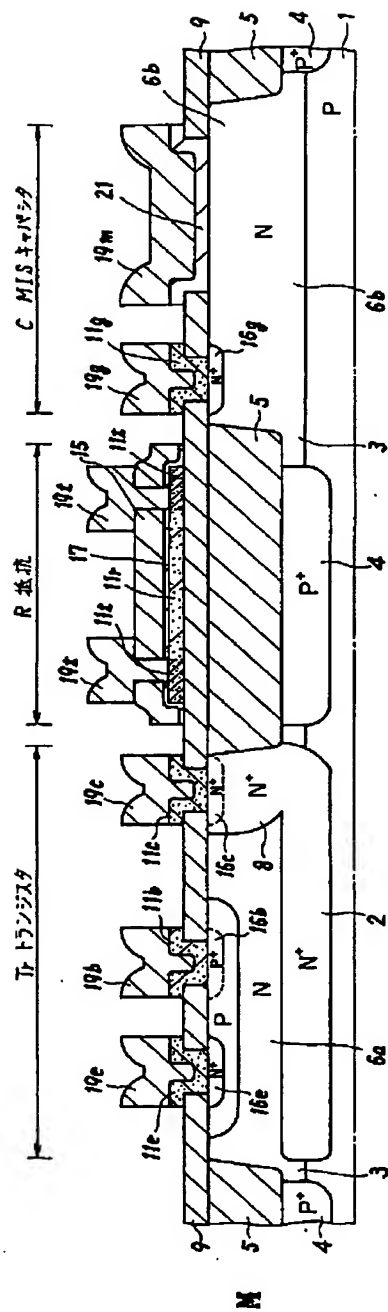


第 2 図 (402)



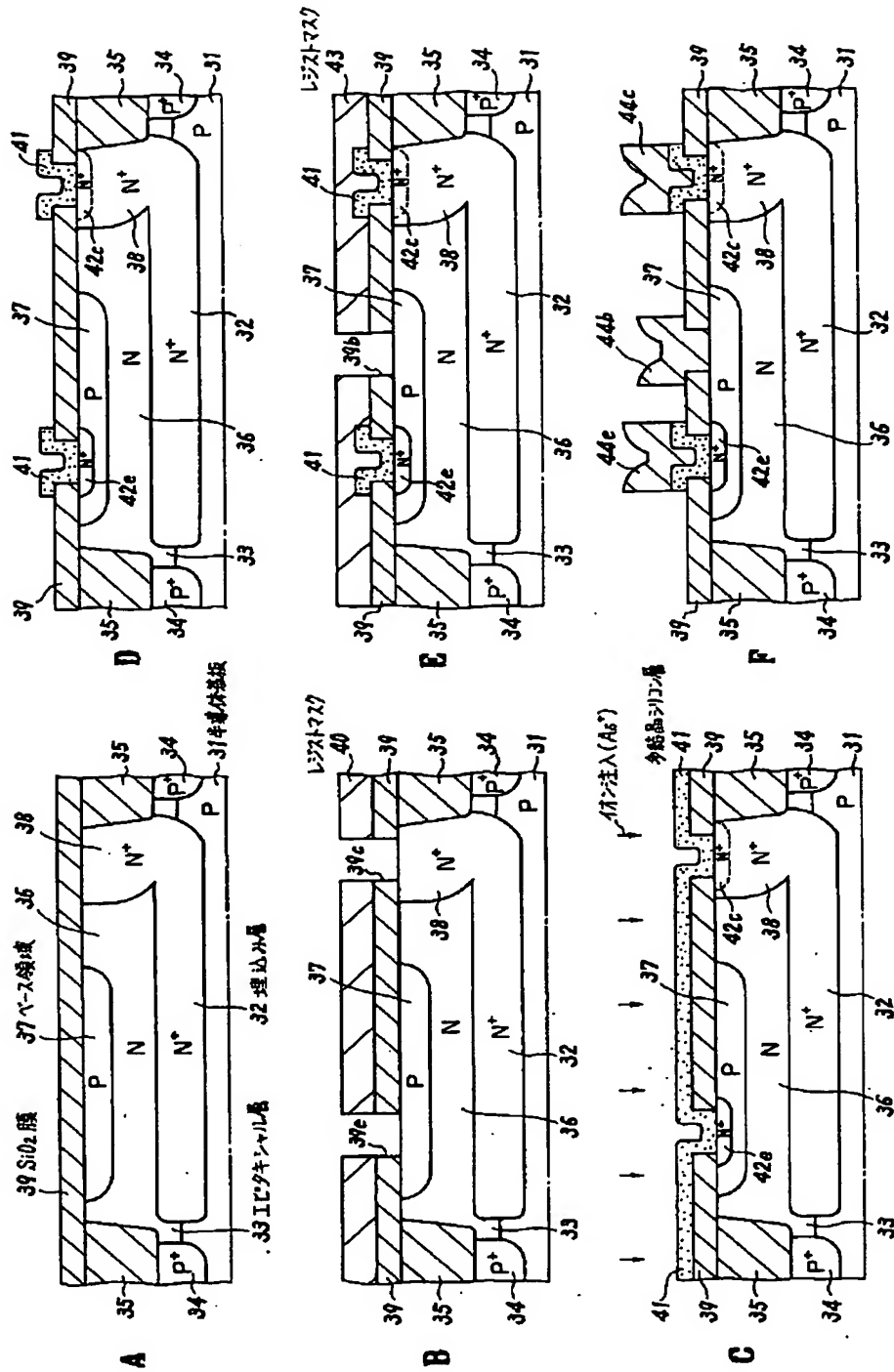
第 2 図 (403)





- | | | |
|-------------------------------------|--------------------------------------|---|
| 1 シリコン基板 | 11e イミッタ領域に対応する部分 | 16g MISキャパシタの一方の電極取出し領域 |
| 2 埋込み層 | 11b ベースコンタクト部に対応する部分 | 17 Si ₃ N ₄ 膜 |
| 3 エピタキシャル層 | 11c コレクタコンタクト部に対応する部分 | 19e イミッタ電極 |
| 4 素子間分離領域 (P型) | 11d 抵抗コンタクト部分 | 19b ベース電極 |
| 5 素子間分離領域 (SiO ₂) | 11f 抵抗本体 | 19c コレクタ電極 |
| 6a } 活性領域 | 11g MISキャパシタの一方の電極取出し領域に対応する部分 | 19d 抵抗本体の一方の電極 |
| 6b } | 15 SiO ₂ 膜 | 19g MISキャパシタの他方の電極 |
| 7 ベース領域 | 16e イミッタ領域 | 19m MISキャパシタの他方の電極 |
| 8 コレクタ取出し領域 | 16b ベースコンタクト部 | 21 Si ₃ N ₄ 膜 |
| 9 SiO ₂ 膜 | 16c コレクタコンタクト部 | |

第2実施例を示す工程図
第2図 (4/5)



従来例を示す工程図
第 3 図

THIS PAGE BLANK (USPTO)